

Method for forming etching stop layer in dual damascene processing**Publication number:** TW452921B**Publication date:** 2001-09-01**Inventor:** LI LIAN-JUNG (TW); JENG SHUANG-MING (TW);
JANG SYUM-MING (TW); YU JEN-HUA (TW)**Applicant:** TAIWAN SEMICONDUCTOR MFG (TW)**Classification:****- international:** H01L21/76; H01L21/70; (IPC1-7): H01L21/76**- European:****Application number:** TW20000110432 20000530**Priority number(s):** TW20000110432 20000530**Report a data error here****Abstract of TW452921B**

The present invention discloses a method for forming a multi-level structure of the etching stop layer/dielectric layer with low dielectric constant/etching stop layer/dielectric layer with low dielectric constant, which includes the following processing steps: first, providing a semiconductor substrate with finished pre-stage integrated circuit processing; next, using trimethylsilane, nitrogen, ammonia as the reaction gas to form a first etching stop layer; then, forming a first dielectric layer with low dielectric constant; and, using trimethylsilane, nitrogen, ammonia as the reaction gas to form the second etching stop layer, and then forming the second dielectric layer with low dielectric constant; in which, the first etching stop layer, the first dielectric layer with low dielectric constant, the second etching barrier and the second dielectric layer with low dielectric constant are all formed by using plasma-enhanced chemical vapor deposition in the same reaction chamber with continuous deposition processing.

Data supplied from the **esp@cenet** database - Worldwide

中華民國專利公報 [19] [12]

[11]公告編號：452921

[44]中華民國 90年 (2001) 09月 01日

發明

全 6 頁

[51] Int.Cl 06: H01L21/76

[54]名 稱：形成雙鑄嵌製程之蝕刻阻障層的方法

[21]申請案號：089110432

[22]申請日期：中華民國 89年 (2000) 05月 30日

[72]發明人：

李連忠

花蓮市民運里東興街五號

鄭雙銘

新竹市振興路八十五巷十號四樓

章勳明

新竹市北區光華北街八十三號七樓

余振華

基隆市七堵區崇義街七十七號二樓

[71]申請人：

台灣積體電路製造股份有限公司

新竹科學工業園區園區三路一二一號

[74]代理人：李長銘 先生

1

2

[57]申請專利範圍：

1. 一種形成雙鑄嵌製程之蝕刻阻障層的方法，其製程方法為利用三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成一層基於三甲基矽烷之氮化矽層(trimethylsilane-based nitride)。

2. 如申請專利範圍第1項所述之形成雙鑄嵌製程之蝕刻阻障層的方法，其中所述化學汽相沉積法為電漿增強式化學汽相沉積法(PECVD)。

3. 如申請專利範圍第1項所述之形成雙鑄嵌製程之蝕刻阻障層的方法，其中所述三甲基矽烷的流量介於30至150sccm之間；氮氣的流量介於1000至3500sccm之間；而氨氣的流量介於10至100sccm之間。

4. 一種形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，適用於雙鑄嵌製程，其製程步驟包括有：

a. 提供一已完成積體電路之前段製程的半導體基板；

b. 以三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成第一蝕刻阻障層；

c. 形成第一低介電常數介電層；

d. 以三甲基矽烷、氮氣和氨氣為反應氣體，利用化學汽相沉積法形成第二蝕刻阻障層；以及

e. 形成第二低介電常數介電層。

5. 如申請專利範圍第4項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(b)所述之第一蝕刻阻障層為一層基於三甲基矽烷之氮化矽層(trimethylsilane-based nitride)。

6. 如申請專利範圍第4項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(b)中三甲基矽烷的

流量介於 30 至 150sccm 之間；氮氣的流量介於 1500 至 3500sccm 之間；而氨氣的流量介於 10 至 50sccm 之間。

7.如申請專利範圍第 4 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述第一低介電常數介電層為黑鑽石薄膜。

8.如申請專利範圍第 7 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

9.如申請專利範圍第 8 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於 350 至 400sccm 之間；三甲基矽烷的流量介於 50 至 100sccm 之間。

10.如申請專利範圍第 4 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(d)所述之第二蝕刻阻障層為一層基於三甲基矽烷之氮化矽層。

11.如申請專利範圍第 4 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(d)中三甲基矽烷的流量介於 30 至 150sccm 之間；氮氣的流量介於 1000 至 3500sccm 之間；而氨氣的流量介於 10 至 100sccm 之間。

12.如申請專利範圍第 4 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述第二低介電常數介電層為黑鑽石薄膜。

13.如申請專利範圍第 12 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻

阻障層／低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

5. 14.如申請專利範圍第 13 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於 350 至 400sccm 之間；三甲基矽烷的流量介於 50 至 100sccm 之間。

15. 15.一種形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其製程步驟包括有：

15. a.提供一已完成積體電路之前段製程的半導體基板；

15. b.以三甲基矽烷、氮氣和氨氣為反應氣體，形成第一蝕刻阻障層；

15. c.形成第一低介電常數介電層；

20. d.以三甲基矽烷、氮氣和氨氣為反應氣體，形成第二蝕刻阻障層；以及

20. e.形成第二低介電常數介電層；其中所述第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和第二低介電常數介電層皆使用電漿增強式化學汽相沉積法在同一反應腔中連續進行沉積而成。

25. 16.如申請專利範圍第 15 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(b)所述之第一蝕刻阻障層為一層基於三甲基矽烷之氮化矽層(trimethylsilane-based nitride)。

30. 17.如申請專利範圍第 15 項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(b)中三甲基矽烷的流量介於 30 至 150sccm 之間；氮氣的流量介於 1000 至 3500sccm 之間；而氨氣的流量介於 10 至 100sccm 之間。

35. 40. 40. 40.

18.如申請專利範圍第15項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述第一低介電常數介電層為黑鑽石薄膜。

19.如申請專利範圍第18項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以 N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

20.如申請專利範圍第19項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於350至400sccm之間；三甲基矽烷的流量介於50至100sccm之間。

21.如申請專利範圍第15項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(d)所述之第二蝕刻阻障層為一層基於三甲基矽烷之氮化矽層。

22.如申請專利範圍第15項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中步驟(d)中三甲基矽烷的流量介於30至150sccm之間；氮氣的流量介於1000至3500sccm之間；而氨氣的流量介於10至100sccm之間。

23.如申請專利範圍第15項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述第二低介電常數介電層為黑鑽石薄膜。

24.如申請專利範圍第23項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中所述黑鑽石薄膜是以

N_2O 和三甲基矽烷為反應氣體，利用化學汽相沉積法所形成。

25.如申請專利範圍第24項所述之形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的方法，其中其中所述 N_2O 的流量介於350至400sccm之間；三甲基矽烷的流量介於50至100sccm之間。

圖式簡單說明：

第一圖A是習知雙鑲嵌製程中在一已完成前段製程的半導體基板上連續形成第一氮化矽層、第一低介電常數介電層、第二氮化矽層、和第二低介電常數介電層，再以連續兩道微影與蝕刻技術形成開口之製程的剖面示意圖。

第一圖B是習知雙鑲嵌製程中形成一層銅薄膜之製程的剖面示意圖。

第一圖C是習知雙鑲嵌製程中利用化學機械研磨法對所述銅薄膜進行研磨，以形成銅導線之製程的剖面示意圖。

第二圖是本發明形成蝕刻阻障層／低介電常數介電層／蝕刻阻障層／低介電常數介電層之複層結構的製程流程圖。

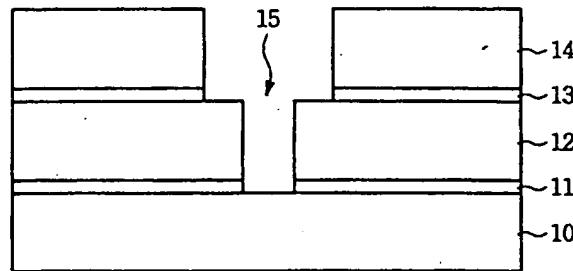
第三圖A是本發明製程中在一已完成前段製程的半導體基板上連續形成第一蝕刻阻障層、第一低介電常數介電層、第二蝕刻阻障層、和第二低介電常數介電層之製程的剖面示意圖。

第三圖B是本發明製程中以連續兩道微影與蝕刻技術形成開口之製程的剖面示意圖。

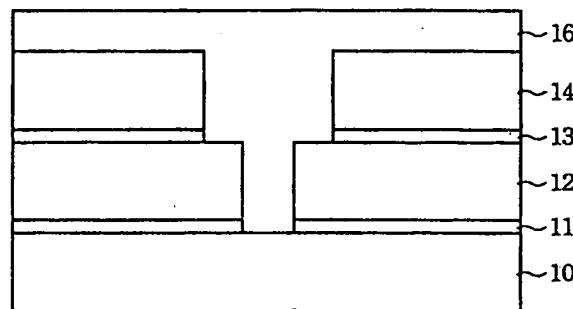
第三圖C是本發明製程中形成一層銅薄膜之製程的剖面示意圖。

第三圖D是本發明製程中利用化學機械研磨法對所述銅薄膜進行研磨，以形成銅導線之製程的剖面示意圖。

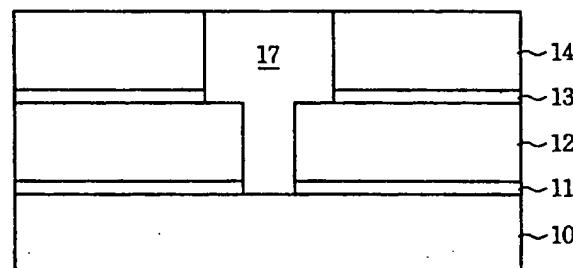
(4)



A



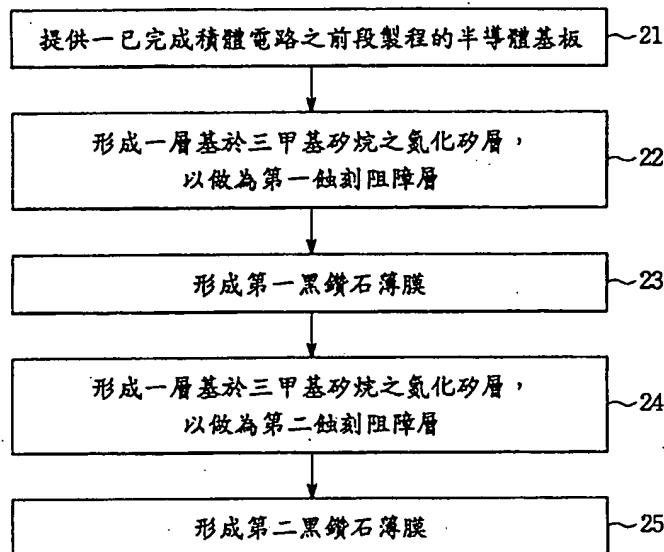
B



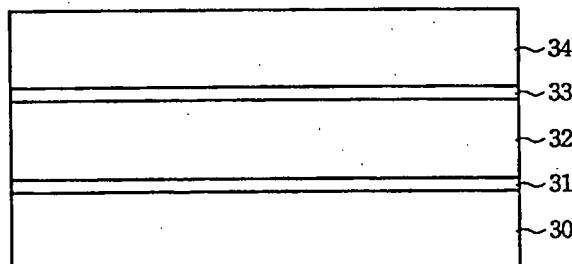
C

第一圖

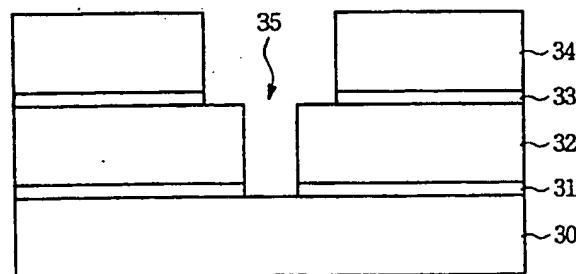
(5)



第二圖



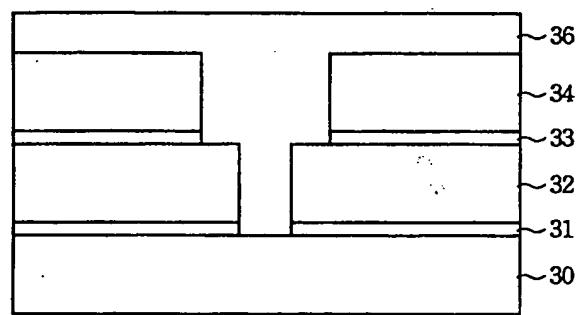
A



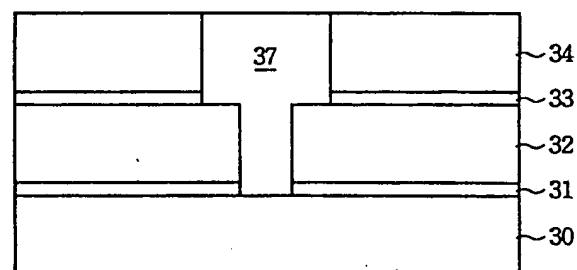
第三圖

B

(6)



C



D

第三圖